

Docket No.: 492322016800
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Tetsuro ASANO et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: SWITCHING CIRCUIT DEVICE

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

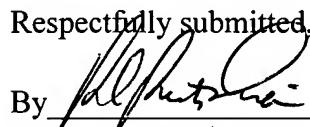
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

| Country | Application No. | Date |
|---------|-----------------|-------------------|
| Japan | 2003-042419 | February 20, 2003 |

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 20, 2004

Respectfully submitted,

By 

Barry E. Bretschneider

Registration No.: 28,055
MORRISON & FOERSTER LLP
1650 Tysons Blvd, Suite 300
McLean, Virginia 22102
(703) 760-7743

Morrison & Foerster LLP
103-760-7700
49232-20168.00

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月20日
Date of Application:

出願番号 特願2003-042419
Application Number:

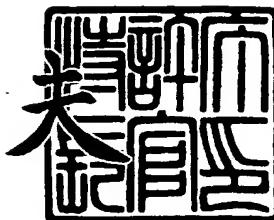
[ST. 10/C] : [JP 2003-042419]

出願人 三洋電機株式会社
Applicant(s):

2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願

【整理番号】 KAA1030011

【提出日】 平成15年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/80

H01L 21/66

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 浅野 哲郎

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 榎原 幹人

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 平井 利和

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 知的財産センター 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 スイッチ回路装置

【特許請求の範囲】

【請求項 1】 複数のFETを多段に直列接続したFET群を複数有し、前記FET群の一方の端のFETのソース電極またはドレイン電極がそれぞれ共通入力端子に接続し、前記FET群の他方の端のFETのドレイン電極またはソース電極がそれぞれ出力端子に接続し、前記FET群のすべてのFETのゲート電極がそれぞれ制御端子に接続するスイッチ回路装置において、

前記FET群の一方の端のFETのソース電極またはドレイン電極とゲート電極間、および前記FET群の他方の端のFETのドレイン電極またはソース電極とゲート電極間の少なくともいずれか一方の電極間に、2つの高濃度領域間に絶縁領域を配置した保護素子を接続することを特徴とするスイッチ回路装置。

【請求項 2】 複数のFETを多段に直列接続した2つのFET群を有し、前記2つのFET群のそれぞれ一方の端のFETのソース電極またはドレイン電極が共通入力端子に接続し、前記2つのFET群のそれぞれ他方の端のFETのドレイン電極またはソース電極が2つの出力端子にそれぞれ接続し、前記2つのFET群のすべてのFETのゲート電極が2つの制御端子にそれぞれ接続し、各端子にそれぞれ接続する複数の電極パッドをチップ上に有するスイッチ回路装置において、

前記各電極パッド周辺に高濃度領域を設け、前記各FET群の前記共通入力端子に接続する電極パッドと1つの前記制御端子に接続する電極パッド、および1つの前記出力端子に接続する電極パッドと1つの前記制御端子に接続する電極パッドの少なくともいずれか一方の前記電極パッド同士を絶縁領域を挟んで近接して配置することを特徴とするスイッチ回路装置。

【請求項 3】 前記1つの制御端子に接続し前記各FET群の少なくとも一方の端のFETのゲート電極が接続する電極パッドと、該1つの制御端子に接続し前記各FET群の少なくとも他方の端のFETのゲート電極が接続する電極パッドとを設け、該2つの電極パッドを前記共通入力端子が接続するパッドおよび前記1つの出力端子が接続する電極パッドとそれぞれ近接して配置することを特



徴とする請求項2に記載のスイッチ回路装置。

【請求項4】 前記全てのFETのソース電極、ゲート電極、ドレイン電極を全て導出してそれぞれ電極パッドと接続し、前記電極パッドの一部を外部端子となる前記共通入力端子、出力端子および制御端子と接続し、他の電極パッドを検査用端子と接続することを特徴とする請求項2に記載のスイッチ回路装置。

【請求項5】 複数のFETを多段に直列接続した2つのFET群を有し、前記2つのFET群のそれぞれ一方の端のFETのソース電極またはドレイン電極が共通入力端子に接続し、前記2つのFET群のそれぞれ他方の端のFETのドレイン電極またはソース電極が2つの出力端子にそれぞれ接続し、前記2つのFET群のすべてのFETのゲート電極が2つの制御端子にそれぞれ接続するスイッチ回路装置であって、前記各端子にそれぞれ接続する複数の電極パッドと、該各電極パッド周辺に設けた高濃度領域とを具備し、各FET群の1つの前記制御端子に接続する電極パッドと前記共通入力端子が接続するパッド、および前記1つの制御端子に接続する電極パッドと1つの前記出力端子が接続する電極パッドの少なくともいずれか一方の電極パッド同士を絶縁領域を介して近接して配置した半導体チップと、

前記チップが搭載される絶縁基板と、

前記絶縁基板裏面に設けられ、前記各端子と対応して設けられる外部電極と、前記基板表面に設けられ、前記外部電極に個々に対応しつつ全ての前記電極パッドと接続する導電パターンと、

前記チップおよび絶縁基板を被覆する樹脂層とを具備することを特徴とするスイッチ回路装置。

【請求項6】 前記1つの制御端子に接続し前記各FET群の少なくとも一方の端のFETの前記ゲート電極が接続する電極パッドと、該1つの制御端子に接続し前記各FET群の少なくとも他方の端のFETのゲート電極が接続する電極パッドとを設け、該2つの電極パッドを前記共通入力端子が接続するパッドおよび前記1つの出力端子が接続する電極パッドとそれぞれ近接して配置することを特徴とする請求項5に記載のスイッチ回路装置。

【請求項7】 前記1つの制御端子と接続する導電パターンは前記絶縁基板

上で延在され前記1つの制御端子と接続する前記複数の電極パッドは全て該導電パターンに接続することを特徴とする請求項6に記載のスイッチ回路装置。

【請求項8】 前記全てのFETのソース電極、ゲート電極、ドレイン電極を全て導出し、該全ての電極が接続する電極パッドを設け、該電極パッドの一部を外部端子となる前記共通入力端子、出力端子および制御端子と接続し、他の電極パッドを検査用端子と接続することを特徴とする請求項5に記載のスイッチ回路装置。

【請求項9】 前記検査用端子が接続する前記外部電極は、前記外部端子が接続する前記外部電極よりも小さいことを特徴とする請求項8に記載のスイッチ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はスイッチ回路装置に係り、特に高出力のスイッチ回路装置において、静電破壊電圧を大幅に向上させ、検査工程の簡略化が実現できるスイッチ回路装置に関する。

【0002】

【従来の技術】

第3世代携帯電話端末のアンテナ切り替え用途に採用されるスイッチ回路装置では、26dBm程度の信号を通すためFETを3段に直列接続する必要がある。このスイッチ回路装置は、SPDTと呼ばれ、計6個のFETを使用し、外部端子は共通入力端子IN、出力端子OUT1、OUT2、制御端子Ctl-1、Ctl-2の5端子である。(例えば、非特許文献1参照。)

図10は、従来の多段接続の化合物半導体スイッチ回路装置の一例を示す回路図である。図10(A)の如くスイッチ回路装置は、FETを、例えばそれぞれ3段直列に接続した第1のFET群F1と第2のFET群F2からなる。また、第1のFET群F1のFET1-1のソース電極(あるいはドレイン電極)と第2のFET群F2のFET2-1のソース電極(あるいはドレイン電極)が共通入力端子INに接続し、第1のFET群F1の3つのFETのゲート電極がそれ



それ抵抗を介して共通の第1の制御端子C_t1-1に接続し、第2のFET群F2の3つのゲート電極がそれぞれ抵抗を介して第2の制御端子C_t1-2に接続する。更に、第1のFET群F1のFET1-3のドレイン電極（あるいはソース電極）が第1の出力端子OUT1に接続し、第2のFET群F2のFET2-3のドレイン電極（あるいはソース電極）が第2の出力端子OUT2に接続したものである。第1と第2の制御端子C_t1-1、C_t1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFET群がONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗は、交流接地となる制御端子C_t1-1、C_t1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0003】

図10（B）は、第1のFET群F1の回路図である。第2のFET群F2側も同様である。このように、直列に多段接続したFET群F1は、FET1-1のソース電極がFET群のソースSとして共通入力端子INに接続し、各FET1-1、FET1-2、FET1-3のゲート電極が共通でFET群F1のゲートGとして制御端子C_t1-1に接続し、FET3のドレイン電極がFET群F1のドレインDとして出力端子OUT1に接続する。

【0004】

図11は、この化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0005】

GaAs基板にスイッチを行う2つのFET群F1、FET群F2を配置する。FET群F1は例えばFET1-1、FET1-2、FET1-3を直列に接続したものである。FET群F2は、FET2-1、FET2-2、FET2-3を直列に接続したものである。各FET群を構成する6つのゲート電極にはそれぞれ、抵抗R1-1、R1-2、R1-3、R2-1、R2-2、R2-3が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子C_t1-1、C_t1-2に対応する電極パッドI、O1、O2、C1、C2が



基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層（Ti/Pt/Au）20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層（Ti/Pt/Au）30である。第1層目の基板にオーミックに接觸するオーミック金属層（AuGe/Ni/Au）は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図11では、パッド金属層と重なるために図示されていない。

【0006】

FET群F1およびFET群F2はチップの中心線に対して対称に配置されており、構成は同様であるので、以下FET群F1について説明する。FET1-1は上側から伸びる櫛歯状の3本の第3層目のパッド金属層130が共通入力端子パッドIに接続されるソース電極109（あるいはドレイン電極）であり、この下に第1層目オーミック金属層で形成されるソース電極106（あるいはドレイン電極）がある。また下側から伸びる櫛歯状の3本の第3層目のパッド金属層130がFET1-1のドレイン電極110（あるいはソース電極）であり、この下に第1層目のオーミック金属層で形成されるドレイン電極107（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層120で形成されるゲート電極105が5本の櫛歯形状に配置されている。

【0007】

このソース電極109、ドレイン電極110、ゲート電極105が配置される下にはチャネル領域が設けられ、これらがFET1-1の動作領域となる。

【0008】

FET1-2では、上側から伸びる3本のソース電極106（あるいはドレイン電極）は、FET1-1のドレイン電極110と接続している。また、下側から伸びる3本のドレイン電極110（あるいはソース電極）は、FET1-3のソース電極109に接続している。この両電極の下に第1層目のオーミック金属層がある。これらは櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層120で形成されるゲート電極105が5本の櫛歯形状に配置されて

いる。

【0009】

FET1-3は上側から伸びる歯状の3本の第3層目のパッド金属層130がソース電極109（あるいはドレン電極）であり、この下に第1層目オームック金属層で形成されるソース電極106（あるいはドレン電極）がある。また下側から伸びる歯状の3本の第3層目のパッド金属層130が、出力端子パッドO1に接続するドレン電極110（あるいはソース電極）であり、この下に第1層目のオームック金属層で形成されるドレン電極107（あるいはソース電極）がある。この両電極は歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層120で形成されるゲート電極105が5本の歯形状に配置されている。

【0010】

図12は上記のスイッチ回路装置を実装した構造を示す。

【0011】

図11に示す半導体チップ67が5本のリードを有するリードフレームのアイランド62f上に銀ペースト等の導電ペースト70によって固定実装され、半導体チップ67の各端子用電極パッドとリード62とがボンディングワイヤ64で接続される。すなわち、入力端子パッドIがリード62a、制御端子1パッドC1がリード62b、出力端子1パッドO1がリード62c、制御端子2パッドC2がリード62d、出力端子2パッドO2がリード62eにそれぞれ接続する。チップ67の周辺部分はモールド金型の形状に合致した樹脂75で被覆され、樹脂75の外部にリード62の先端部分が導出される。このようなパッケージは例えばMCPH6と呼ばれ、外形サイズが2.1×2.0mm²である。（例えば、非特許文献2参照。）

【0012】

【非特許文献1】

宇田尚典、他5名、「L帯-10Wクラス低歪み低損失FETスイッチIC」、信学技法、MW95-11（1995-05）、社団法人 電子情報通信学会、p8、図1（b）

【0013】

【非特許文献2】

データシート (P13632JJ2V0DSJ1 (第2版))、L 帯
S P D Tスイッチ、NEC Corporation、2000年12月、p 6

【0014】

【発明が解決しようとする課題】

上述の如くスイッチ回路装置では、共通入力端子IN-制御端子Ct1-1間、共通入力端子IN-制御端子Ct1-2間および制御端子Ct1-1-出力端子OUT1間、制御端子Ct1-2-出力端子OUT2間が、それぞれFET1-1のソース電極-ゲート電極間、FET2-1のソース電極-ゲート電極間、FET1-3のゲート電極-ドレイン電極間、FET2-3のゲート電極-ドレイン電極間にに対応する。後に詳述するが、これらは、回路上、各FET群の端に位置するFETのゲートショットキ接合のアノードとカソードが両方とも外部に導出されていることになる。この電極間は、静電破壊電圧に対して弱いという問題があるが、従来では図10および図11の如く、静電破壊電圧向上のための対策が施されていない。

【0015】

また、例えば制御端子に接続する抵抗を大きくすると若干静電破壊電圧を上げることができるが、スイッチング時間が大きくなってしまう問題があるため、このような手法は適切ではなかった。

【0016】

【課題を解決するための手段】

本発明はかかる課題に鑑みてなされ、第1に、複数のFETを多段に直列接続したFET群を複数有し、前記FET群の一方の端のFETのソース電極またはドレイン電極がそれぞれ共通入力端子に接続し、前記FET群の他方の端のFETのドレイン電極またはソース電極がそれぞれ出力端子に接続し、前記FET群のすべてのFETのゲート電極がそれぞれ制御端子に接続するスイッチ回路装置において、前記FET群の一方の端のFETのソース電極またはドレイン電極とゲート電極間、および前記FET群の他方の端のFETのドレイン電極またはソ



ース電極とゲート電極間の少なくともいずれか一方の電極間に、2つの高濃度領域間に絶縁領域を配置した保護素子を接続することにより解決するものである。

【0017】

第2に、複数のFETを多段に直列接続した2つのFET群を有し、前記2つのFET群のそれぞれ一方の端のFETのソース電極またはドレイン電極が共通入力端子に接続し、前記2つのFET群のそれぞれ他方の端のFETのドレイン電極またはソース電極が2つの出力端子にそれぞれ接続し、前記2つのFET群のすべてのFETのゲート電極が2つの制御端子にそれぞれ接続し、各端子にそれぞれ接続する複数の電極パッドをチップ上に有するスイッチ回路装置において

、
前記各電極パッド周辺に高濃度領域を設け、前記各FET群の前記共通入力端子に接続する電極パッドと1つの前記制御端子に接続する電極パッド、および1つの前記出力端子に接続する電極パッドと1つの前記制御端子に接続する電極パッドの少なくともいずれか一方の前記電極パッド同士を絶縁領域を挟んで近接して配置することにより解決するものである。

【0018】

また、前記1つの制御端子に接続し前記各FET群の少なくとも一方の端のFETのゲート電極が接続する電極パッドと、該1つの制御端子に接続し前記各FET群の少なくとも他方の端のFETのゲート電極が接続する電極パッドとを設け、該2つの電極パッドを前記共通入力端子が接続するパッドおよび前記1つの出力端子が接続する電極パッドとそれぞれ近接して配置することを特徴とするものである。

【0019】

また、前記全てのFETのソース電極、ゲート電極、ドレイン電極を全て導出してそれぞれ電極パッドと接続し、前記電極パッドの一部を外部端子となる前記共通入力端子、出力端子および制御端子と接続し、他の電極パッドを検査用端子と接続することを特徴とするものである。

【0020】

第3に、複数のFETを多段に直列接続した2つのFET群を有し、前記2つ

のFET群のそれぞれ一方の端のFETのソース電極またはドレイン電極が共通入力端子に接続し、前記2つのFET群のそれぞれ他方の端のFETのドレイン電極またはソース電極が2つの出力端子にそれぞれ接続し、前記2つのFET群のすべてのFETのゲート電極が2つの制御端子にそれぞれ接続するスイッチ回路装置であって、前記各端子にそれぞれ接続する複数の電極パッドと、該各電極パッド周辺に設けた高濃度領域とを具備し、各FET群の1つの前記制御端子に接続する電極パッドと前記共通入力端子が接続するパッド、および前記1つの制御端子に接続する電極パッドと1つの前記出力端子が接続する電極パッドの少なくともいずれか一方の電極パッド同士を絶縁領域を介して近接して配置した半導体チップと、前記チップが搭載される絶縁基板と、前記絶縁基板裏面に設けられ、前記各端子と対応して設けられる外部電極と、前記基板表面に設けられ、前記外部電極に個々に対応しかつ全ての前記電極パッドと接続する導電パターンと、前記チップおよび絶縁基板を被覆する樹脂層とを具備することにより解決するものである。

【0021】

また、前記1つの制御端子に接続し前記各FET群の少なくとも一方の端のFETの前記ゲート電極が接続する電極パッドと、該1つの制御端子に接続し前記各FET群の少なくとも他方の端のFETのゲート電極が接続する電極パッドとを設け、該2つの電極パッドを前記共通入力端子が接続するパッドおよび前記1つの出力端子が接続する電極パッドとそれぞれ近接して配置することを特徴とするものである。

【0022】

また、前記1つの制御端子と接続する導電パターンは前記絶縁基板上で延在され前記1つの制御端子と接続する前記複数の電極パッドは全て該導電パターンに接続することを特徴とするものである。

【0023】

また、前記全てのFETのソース電極、ゲート電極、ドレイン電極を全て導出し、該全ての電極が接続する電極パッドを設け、該電極パッドの一部を外部端子となる前記共通入力端子、出力端子および制御端子と接続し、他の電極パッドを

検査用端子と接続することを特徴とするものである。

【0024】

また、前記検査用端子が接続する前記外部電極は、前記外部端子が接続する前記外部電極よりも小さいことを特徴とするものである。

【0025】

【発明の実施の形態】

図1は、本発明の化合物半導体スイッチ回路装置の一例を示す回路図であり、四角囲いの領域はチップを表す。図1 (A) の如くスイッチ回路装置は、FETをそれぞれ3段直列に接続した第1のFET群F1と第2のFET群F2からなる。また、第1のFET群F1の一端のFETのソース電極（あるいはドレイン電極）と第2のFET群F2の一端のFETのソース電極（あるいはドレイン電極）が共通入力端子INに接続する。また、第1のFET群F1の3つのFETのゲート電極がそれぞれ抵抗を介して共通の第1の制御端子Ct1-1に接続し、第2のFET群F2の3つのゲート電極がそれぞれ抵抗を介して第2の制御端子Ct1-2に接続する。更に、第1のFET群F1の他端のFETのドレイン電極（あるいはソース電極）が第1の出力端子OUT1に接続し、第2のFET群F2の他端のFETのドレイン電極（あるいはソース電極）が第2の出力端子OUT2に接続したものである。第1と第2の制御端子Ct1-1、Ct1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFET群がONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗は、交流接地となる制御端子Ct1-1、Ct1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0026】

チップの周辺には、共通入力端子IN、第1の出力端子OUT1、第2の出力端子OUT2にそれぞれ接続する電極パッドI、O1、O2と、第1の制御端子Ct1-1に接続する電極パッドC1-1、C1-2、および第2の制御端子Ct1-2に接続する電極パッドC2-1、C2-2がそれぞれ設けられる。

【0027】

図1 (B) は、第1のFET群F1の回路図である。第2のFET群F2側も同様である。このように、直列に多段接続したFET群F1は、FET1-1のソース電極がFET群F1のソースSとして共通入力端子INに接続し、各FET1-1、FET1-2、FET1-3のゲート電極が共通でFET群F1のゲートGとして制御端子Ct1-1に接続し、FET1-3のドレイン電極がFET群F1のドレインDとして出力端子OUT1に接続する。

【0028】

本実施形態では、チップ内においては、FET群F1のゲートGは、FET群F1の一つの端のFETであるFET1-1のゲート電極を含むグループと、FET群F1の他の端のFETであるFET1-3のゲート電極を含むグループの2つのグループに別れ、それぞれのグループは、2つの制御端子パッドC1-1、C1-2に接続する。詳細には各FET1-1のゲート電極は制御端子パッドC1-1に、FET1-2、1-3のゲート電極は、制御端子パッドC1-2に接続し、両電極パッドC1-1、C1-2はチップ外で共に制御端子Ct1-1に接続する。

【0029】

また、FET群F2のゲートGは、FET群F2の一つの端のFETであるFET2-1のゲート電極を含むグループと、FET群F2の他の端のFETであるFET2-3のゲート電極を含むグループの2つのグループに別れ、それぞれのグループは、2つの制御端子パッドC2-1、C2-2に接続する。詳細には各FET2-1のゲート電極は制御端子パッドC2-1に、FET2-2、2-3のゲート電極は、制御端子パッドC2-2に接続し、両電極パッドC2-1、C2-2はチップ外で共に制御端子Ct1-2に接続する（図1 (A) 参照）。

【0030】

更に、制御端子パッドC1-1、C1-2を入力端子パッドINと近接して配置し、制御端子パッドC2-1、C2-2を出力端子パッドOUT1およびOUT2に近接して配置することで、この間にそれぞれ保護素子200を接続した構成となっている。

【0031】

◎

図1 (C) は、図1 (A) においてFETの部分を内部等価回路に置き換えた図である。スイッチ回路装置において、静電破壊電圧を考えるときはゲートショットキ接合は逆バイアス状態である。つまり、そのときの等価回路はゲート電極－ソース電極間およびゲート電極－ドレイン電極間に、ショットキバリアダイオード115が接続された回路となる。

【0032】

ここで、共通入力端子IN－制御端子Ct1-1間、共通入力端子IN－制御端子Ct1-2間および制御端子Ct1-1－出力端子OUT1間、制御端子Ct1-2－出力端子OUT2間が、それぞれFET1-1のソース電極－ゲート電極間、FET2-1のソース電極－ゲート電極間、FET1-3のゲート電極－ドレイン電極間、FET2-3のゲート電極－ドレイン電極間にに対応する。

【0033】

すなわちこのような多段接続のスイッチ回路装置において、FET群F1、F2の一端および他端の各FETのゲートショットキ接合（一端および他端のショットキバリアダイオード115）では、そのアノードとカソードが、共通入力端子IN、制御端子Ct1-1、Ct1-2、出力端子OUT1、OUT2として両方とも外部に導出されている構成となっている。

【0034】

このように、ゲートショットキ接合のアノードとカソードが両方とも外部に導出されると、アノードおよびカソードから静電エネルギーを直接受け取ってしまうことになり、静電破壊に大変弱い問題がある。間に位置するゲートショットキ接合のように、他のFETなどの素子に接続した後外部に導出されれば、静電エネルギーの一部がまずその素子の接合などで熱エネルギーとして消費され、残った静電エネルギーを受け取ることになるので、受け取る静電エネルギーが少なくなり、静電破壊しにくくなる。

【0035】

静電破壊からの保護は、弱い接合であるゲート電極のショットキ接合にかかる静電エネルギーを軽減すれば良い。そこで、本実施形態では、ゲートショットキ接合のアノードとカソードが両方とも外部に導出されているために、静電破壊し

○

やすいFET1-1のソース電極-ゲート電極間、FET2-1のソース電極-ゲート電極間、FET1-3のゲート電極-ドレイン電極間、FET2-3のゲート電極-ドレイン電極間に上記の保護素子200を接続し、その2電極間に印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路を設けることにより、静電破壊から弱い接合を保護することとした。

【0036】

ここで保護素子200について図2を用いて説明する。

【0037】

図2は保護素子を示す概要図である。

【0038】

本明細書における保護素子200とは、図の如く、近接する第1の高濃度不純物領域201と第2の高濃度不純物領域202の2端子間に絶縁領域203を配置した素子である。第1および第2の高濃度不純物領域201、202は、基板101にイオン注入及び拡散により設けられる。本明細書においては、以降これら高濃度不純物領域を、第1N+型領域201、第2N+型領域202として説明するが、これらは同じ導電型の不純物に限らず、異なる導電型の不純物でも良い。第1および第2N+型領域201、202は、静電エネルギーを通せる距離、例えば $4\text{ }\mu\text{m}$ 程度離間して設けられ、その不純物濃度は、共に $1\times 10^{17}\text{ cm}^{-3}$ 以上である。また、第1および第2N+型領域201、202の間には絶縁領域203が当接して配置される。ここで、絶縁領域203とは、電気的に完全な絶縁ではなく、半絶縁性基板の一部、または基板201に不純物をイオン注入して絶縁化した絶縁化領域である。また、絶縁領域203の不純物濃度は、 $1\times 10^{14}\text{ cm}^{-3}$ 以下程度、抵抗率は $1\times 10^3\text{ }\Omega\text{ cm}$ 以上が望ましい。

【0039】

絶縁領域203の両端に当接して高濃度不純物領域201、202を配置し、2つの高濃度不純物領域201、202の離間距離を $4\text{ }\mu\text{m}$ 程度にすると、2つの高濃度不純物領域201、202がそれぞれ接続する被保護素子（スイッチ回路装置）の2電極間に向かって外部より印加される静電エネルギーの一部を、絶縁領域203を介して放電することができる。

【0040】

この2つのN+型領域の離間距離 $4 \mu m$ は、静電エネルギーを通すのに適当な距離であり、 $10 \mu m$ 以上離間すると保護素子間での放電が確実でない。N+型領域の不純物濃度も、同様である。

【0041】

通常のFET動作では静電気のように高い電圧が印加されることがないため、 $4 \mu m$ の絶縁領域を信号が通ることは無い。またマイクロ波のような高周波でも同様に $4 \mu m$ の絶縁領域を信号が通ることは無い。従って通常の動作では、保護素子は特性に何ら影響を及ぼさないため、存在しないのと同じである。しかし静電気は瞬間に高い電圧が印加される現象であり、そのときは $4 \mu m$ の絶縁領域を静電エネルギーが通り、高濃度不純物領域間で放電する。また絶縁領域の厚みが $10 \mu m$ 以上になると、静電気にとっても抵抗が大きく放電しにくくなる。

【0042】

これら、第1N+型領域201および第2N+型領域202を、スイッチ回路装置の、ゲートショットキ接合のアノードとカソードが両方とも外部に導出されているFETのソース電極—ゲート電極間、ゲート電極—ドレイン電極間に接続する。第1および第2N+型領域201、202はそのまま保護素子200の端子としてもよいし、更に金属電極204を設けても良い。

【0043】

図3に、金属電極204を設ける場合を示す。金属電極204との接続は図に示す構造が考えられる。

【0044】

図3 (A) は、金属電極204が、第1N+型領域201および/又は第2N+型領域202表面とショットキ接合を形成するものである。マスク合わせ精度及び両N+領域201、202の抵抗分を考慮し、絶縁領域203端部から $0.1 \mu m$ から $5 \mu m$ 離間して、第1、第2N+型領域201、202表面に設けられる。 $5 \mu m$ 以上離間すると抵抗分が大きく静電気が通りにくくなる。金属電極204は、第1、第2N+型領域201、202上ののみに設けられても良いし、その一部が、半絶縁基板101に延在され基板表面とショットキ接合を形成して

も良い。

【0045】

また、図3 (B) (C) の如く、第1、第2N+型領域201、202上に、保護用塗化膜などの縁膜膜205を介して金属電極204を設けても良い。この場合、金属電極204は半絶縁基板101上に延在され、基板101を介して第1、第2N+型領域201、202と接続することになる。更に図3 (D) の如く、両N+型領域201、202の上には金属層が設けられず、その外側の半絶縁基板101と金属電極204がショットキ接合を形成する構造であってもよい。

【0046】

図3 (B) (C) (D) の場合すべて、金属電極204は第1、および／又は第2N+型領域201、202とは直接接続されない。このように金属電極204は第1および／または第2のN+型領域201、202端部から0 μ mから5 μ m程度外側で基板とショットキ接合を形成する構造でもよい。すなわち、図3 (B) (C) (D) の如く第1、第2N+型領域201、202と金属電極204は接する必要はなく、5 μ m以内であれば半絶縁基板を介してN+型領域と金属電極204とは充分な接続を確保できる。

【0047】

また、図示は省略するが、金属電極204は、第1および第2のN+型領域201、202とオーミック接合を形成しても良い。

【0048】

さらにFETについては、MESFET、接合型FET、HEMTのいずれでも良い。

【0049】

図4は、図1の四角囲いで表したチップの平面図を示す。GaN基板にスイッチを行う2つのFET群F1、FET群F2を配置する。FET群F1は例えばFET1-1、FET1-2、FET1-3の3つのFETを直列に接続したものである。FET群F2は、FET2-1、FET2-2、FET2-3を直列に接続したものである。各FET群を構成する6つのゲート電極にはそれぞれ、

抵抗R1-1、R1-2、R1-3、R2-1、R2-2、R2-3が接続されている。また共通入力端子IN、出力端子OUT1、OUT2に接続する電極パッドI、O1、O2と、制御端子Ct1-1およびCt1-2にそれぞれ接続する2つの電極パッドC1-1、C1-2およびC2-1、C2-2、が基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図4では、パッド金属層と重なるために図示されていない。

【0050】

FET群F1およびFET群F2はチップの中心線に対して対称に配置されており、構成は同様であるので、以下FET群F1について説明する。FET1-1は上側から伸びる櫛歯状の4本の第3層目のパッド金属層130が共通入力端子パッドIに接続されるソース電極109（あるいはドレイン電極）であり、この下に第1層目オーミック金属層で形成されるソース電極106（あるいはドレイン電極）がある。また下側から伸びる櫛歯状の4本の第3層目のパッド金属層130がFET1-1のドレイン電極110（あるいはソース電極）であり、この下に第1層目のオーミック金属層で形成されるドレイン電極107（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層120で形成されるゲート電極105が7本の櫛歯形状に配置されている。

【0051】

このソース電極109、ドレイン電極110、ゲート電極105が配置される下にはチャネル領域が設けられ、これらがFET1-1の動作領域となる。

【0052】

FET1-2では、上側から伸びる3本のソース電極109（あるいはドレイン電極）は、FET1-1のドレイン電極110と接続している。ここで、この

（著者印）

電極は高周波信号の通過点に過ぎず一般には外部に導出する必要が無いためパッドは設けられていない。また、下側から伸びる3本のドレイン電極110（あるいはソース電極）は、FET1-3のソース電極109に接続している。この電極も同様に高周波信号の通過点に過ぎず一般には外部に導出する必要が無いためパッドは設けられていない。この両電極の下に第1層目のオーミック金属層がある。これらは櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層120で形成されるゲート電極105が5本の櫛歯形状に配置されている。FETを多段に直列に接続したスイッチ回路装置はFET1段のスイッチ回路装置に比べ、FET群がOFFの時により大きな電圧振幅に耐えられるため高出力スイッチ回路装置となる。その際FETを直列に接続するときに接続点となるFETのソース電極またはドレイン電極は一般には外部に導出する必要が無いためパッドを設ける必要はない。

【0053】

FET1-3は上側から伸びる櫛歯状の3本の第3層目のパッド金属層130がソース電極109（あるいはドレイン電極）であり、この下に第1層目オーミック金属層で形成されるソース電極106（あるいはドレイン電極）がある。また下側から伸びる櫛歯状の3本の第3層目のパッド金属層130が、出力端子パッドO1に接続するドレイン電極110（あるいはソース電極）であり、この下に第1層目のオーミック金属層で形成されるドレイン電極107（あるいはソース電極）がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層120で形成されるゲート電極105が4本の櫛歯形状に配置されている。

【0054】

図11に示す、従来の多段スイッチ回路装置においては、制御端子Ct1-1、Ct1-2に接続するチップ上の電極パッドはそれぞれ1つであり、その電極パッドC1、C2からそれぞれのFET群を構成する各FETのゲート電極に抵抗を含む接続手段が延在されていた。

【0055】

本実施形態では、制御端子Ct1-1に接続する制御端子パッドはC1-1

とC1-2の2つを設けるため、FET群F1のゲートGは、FET群F1の一端にあるFET1-1のゲート電極を含むグループと、FET群F1の他端にあるFET1-3のゲート電極を含むグループの2つのグループに分ける。そして、それらのゲート電極を、2つの制御端子パッドC1-1、C1-2に接続し、チップ外で両制御端子パッドを制御端子Ct1-1に接続する。詳細には各FET1-1のゲート電極から抵抗R1-1を含む接続手段が制御端子パッドC1-1に接続され、FET1-2、1-3のゲート電極17から、それぞれ抵抗R1-2、R1-3を含む接続手段が制御端子パッドC1-2に接続する。

【0056】

FET群F2側も同様であり、制御端子パッドC2-1から抵抗R2-1が延在されてFET2-1のゲート電極17に、また、制御端子パッドC2-2から抵抗R2-2およびR2-3が延在されてFET2-2およびFET2-3のゲート電極17にそれぞれ接続する。このように1つの制御端子に接続する複数の電極パッドを設ける理由に付いては後述する。

【0057】

抵抗Rは、基板に設けられたN+型不純物拡散領域である。また、それぞれR1-1、R1-2、R1-3、R2-1、R2-2、R2-3はそれぞれ10KΩの抵抗値を有している。

【0058】

図5には、図4のスイッチ回路装置の一部の断面図とその回路概要図を示す。図5（A）は図4のA-A線断面図であり1組のFETを示す。また、図5（B）は図5（A）の回路概要図、図5（C）は図4のB-B線で示す電極パッド付近の断面図を示す。尚、スイッチ回路装置を構成する6つのFET、および電極パッドは全て同様の構成である。

【0059】

図5（A）の如く、基板101にはn型の動作層102とその両側にソース領域103およびドレイン領域104を形成するn+型の不純物領域が設けられ、動作層102にはゲート電極105が設けられ、不純物領域には第1層目のオームик金属層で形成されるドレイン電極107およびソース電極106が設けら

れる。更にこの上に前述したように3層目のパッド金属層130で形成されるドレイン電極110およびソース電極109が設けられ、各素子の配線等を行っている。これらのドレイン電極110、ソース電極109、ゲート電極105が歯状に配置される領域を本明細書においては動作領域118と称する。

【0060】

図5 (B) はMESFETの静電破壊現象を考えるときの等価回路である。図1 (C) にはスイッチ回路装置全体の等価回路図を示したが、FETの断面構造で考えると、図のようになる。つまり、ゲート電極—ソース電極間またはゲート電極—ドレイン電極間に、ゲート電極側をマイナスとし、つまり動作領域118と動作領域118表面に設けられたゲート電極105との界面に形成される容量値の小さいゲートショットキ接合を逆バイアスにして、サージ電圧を印加する場合が最も静電破壊に弱い(図1 (C) 参照)。

【0061】

つまり、ゲート電極—ドレイン電極間、又はゲート電極—ソース電極間に印加された静電エネルギーが、ゲートショットキ接合に到達したとき、到達した静電エネルギーがゲート電極とソース電極間、またはゲート電極とドレイン電極間の静電破壊電圧を上回る場合、ゲートショットキ接合が破壊に至る。

【0062】

図1 (C) の如く、本実施形態のスイッチ回路装置はショットキバリアダイオードが多数接続された回路構成であり、それらの中でアノードとカソードが共に外部に導出されている一端および他端のショットキバリアダイオードは、外部から印加された静電エネルギーを直接受け取ることになるので、静電破壊しやすい。

【0063】

そこで、本実施形態では、スイッチ回路装置のFETのうち、ゲートショットキ接合のアノードとカソードが両方とも外部に導出されているため静電破壊しやすいFET、すなわち、FET群の端のFETであるFET1-1とFET1-3またはFET2-1とFET2-3の、ソース電極—ゲート電極間、またはゲート電極—ドレイン電極間に上記の保護素子200を接続することとした。この



2電極間は、すなわち、共通入力端子IN-制御端子Ct1-1間、共通入力端子IN-制御端子Ct1-2間および制御端子Ct1-1-出力端子OUT1間、制御端子Ct1-2-出力端子OUT2間である。これにより、2電極間に向かって印加される静電エネルギーを、一部放電するためのバイパスとなる経路を設けることができる。つまり、弱い接合であるFETのゲートショットキ接合にかかる静電エネルギーを軽減できるものである（図4参照）。

【0064】

ここで、図5（C）の如く電極パッド130の周辺には、各電極パッド130から高周波信号が漏れないよう、アイソレーション対策として、パッド周辺N+領域150が配置されている。各電極パッド130の一番下のゲート金属層120はGaN半絶縁性基板とショットキ接合を形成しており、周辺N+領域150と各電極パッドはショットキ接合を形成している。

【0065】

これにより、周辺N+領域150の一部同士が半絶縁性基板101を挟んで保護素子200となる。また、周辺N+領域150の端部から0μmから5μm外側に離間して金属電極204が基板表面とショットキー接合を形成する。この場合金属電極204はゲート金属層120からなる共通入力端子パッドI、出力端子パッドO1、O2、制御端子パッドC1-1、C2-1、C1-2、C2-2の一部である。これは、例えば第1、第2-n+型領域202が半絶縁基板101（絶縁領域203）を介して金属電極204と接続する構造である。

【0066】

このように、電極パッドの周辺に周辺N+型領域150を配置し、共通入力端子IN、出力端子OUT1、OUT2と接続する電極パッドI、O1、O2に近接して制御端子Ct1-1、Ct1-2に接続する電極パッドを配置することにより、それぞれに保護素子200を接続することができる。このために制御端子Ct1-1、制御端子Ct1-2に接続する制御端子パッドをそれぞれ2つ設け、制御端子パッドC1-1、C2-1を共通入力端子パッドIと近接し、制御端子パッドC1-2、C2-2をそれぞれ出力端子パッドO1、O2と近接して配置するものである。

【0067】

なお、周辺N+型領域150は、電極パッド下の前面に設けられて周辺部が電極パッドからはみ出すように設けられても良いし、周辺部のみに設けられても良い。更に、電極パッドから5μm程度離間して、周辺に設けられても良い。

【0068】

ここで、FET群F1側とFET群F2側は対称であり、全く同様であるので、FET群F1側を例に説明する。前述の如く、静電破壊からスイッチ回路装置を保護するためには、静電エネルギーが共通入力端子IN-制御端子Ct1-1間に応するFET1-1のソース電極-ゲート電極間、又は制御端子Ct1-1-出力端子OUT1間に応するFET1-3のゲート電極-ドレイン電極間に到達する前に、静電エネルギーを減衰させれば良く、その到達過程において減衰させればより効果的である。

【0069】

静電エネルギーを減衰させる1つの方法として、抵抗R1の抵抗値を大きくする方法が考えられるが、R1を大きくし過ぎると、スイッチ回路装置のスイッチング時間が大きくなり過ぎる。そこで、本実施形態においては保護素子200を用いて静電エネルギーを減衰させることとした。

【0070】

ここで、制御端子パッドC1-1を共通入力端子パッドIに近接して配置することにより、パッド周辺N+型領域150の離間距離は4μmとなり、半絶縁性基板101を挟んで保護素子200となる。すなわち、共通入力端子IN-制御端子Ct1-1間に、つまりFET1-1のソース電極-ゲート電極間（又はドレイン-ゲート電極間）に保護素子200を接続したことになる。

【0071】

また、静電気が共通入力端子パッドI-制御端子パッドC1-1間から印加されFET1-1の動作領域上のソース電極-ゲート電極間に向かう経路途中の中でも初期段階に保護素子200を接続したことになる。つまり、スイッチ回路装置に外部より印加された静電エネルギーを、それが動作領域118上のソース電極-ゲート電極間に伝わる経路のうち、チップ内では最も初期段階で減衰させる

ことができる。

【0072】

同様に、出力端子パッドO 1 に制御端子パッドC 1-2 を近接して配置することにより、近接するパッド周辺N+型領域150の離間距離は4 μ mとなり、半絶縁性基板101を挟んで保護素子200となる。すなわち、出力端子OUT 1-制御端子C t 1-1間、つまりFET 1-3のドレイン電極-ゲート電極間（又はソース-ゲート電極間）に保護素子200を接続したことになる。

【0073】

また、静電気が出力端子パッドO 1-制御端子パッドC 1-2間から印加されFET 1-3の動作領域118上のドレイン電極-ゲート電極間に向かう経路途中の中でも初期段階に保護素子200を接続したことになる。つまり、スイッチ回路装置に外部より印加された静電エネルギーを、それが動作領域118上のドレイン電極-ゲート電極間に伝わる経路のうち、チップ内では最も初期段階で減衰させることができる。

【0074】

つまり、出力端子OUT 1-制御端子C t 1-1間および共通入力端子IN-制御端子C t 1-1間に印加される静電エネルギーをチップ内の初期段階でそれぞれ同程度に、また最も効率良く減衰させることができ、対応するFET 1-3のドレイン電極-ゲート電極間、FET 1-1のソース電極-ゲート電極間のゲートショットキ接合が静電破壊するのを防ぐことができるものである。

【0075】

図6は、図1のスイッチ回路装置構成する半導体チップ7を実装した一例を示す。本実施形態では、上記のスイッチ回路装置をチップサイズパッケージに実装する。図6（A）はチップをパッケージ15に組み込んだ平面図であり、図6（B）は導電パターンを示す平面図である。

【0076】

図6（A）の如く、基板1は、セラミックやガラスエポキシ等からなる絶縁基板であり、それらが1枚あるいは数枚重ね合わされて、合計の板厚が180～250 μ mと製造工程における機械的強度を維持し得る板厚を有している。

【0077】

基板1上には、図の如く金メッキ層によるリード2が設けられる。リード2a、2b、2c、2d、2eは、スイッチ回路装置の共通入力端子IN、制御端子Ct1-1、出力端子OUT1、OUT2、制御端子Ct1-2に個々に対応して設けられる。

【0078】

上記の基板1にチップ7が固着され、ボンディングワイヤ4により接続される。リード2a、2c、2dはそれぞれ入力端子パッドI、出力端子パッドO1、O2と接続し、共通入力端子IN、出力端子OUT1、OUT2と接続する。リード2bおよび2eの一端は、制御端子パッドC1-1、C1-2の付近に配置され、他端は制御端子パッドC2-2の付近まで延在される。

【0079】

すなわちパッケージ全体の回路図は、図1(A)の如く、FET群F1のゲートGに制御端子Ct1-1が接続し、FET群F2のゲートGに制御端子Ct1-2が接続したものとなる。

【0080】

図6(B)の如く、制御端子Ct1-1、Ct1-2と対応するリード2b、2eは、基板1上で図の如く延在される。各リード2は、スルーホールを介して基板裏面に設けられ、各端子となる外部電極と接続する。リード2b、2eは、チップ7の下に配置されてもよいし、チップから外れて延在されてもよいが、制御端子パッドの接続のため、その一部を制御端子パッドの付近に露出させる。制御端子パッドC1-1、C1-2は共にリード2bに接続して、制御端子Ct1-1に接続し、制御端子パッドC2-1、C2-2は共にリード2eに接続して制御端子Ct1-2に接続する。

【0081】

図7(A)は、図6のパッケージ側面図であり、図7(B)はパッケージ裏面図を示す。

【0082】

図7(A)の如く、基板1には、各リード2に対応したスルーホール5が設け

られている。スルーホール5は基板1を貫通し、内部はタンゲステンなどの導電材料によって埋設されている。そして、裏面には各スルーホール5に対応し、各端子となる外部電極6を有する。

【0083】

パッケージの周囲4側面は、樹脂層15と絶縁基板1の切断面で形成され、パッケージの上面は平坦化した樹脂層15の表面で形成され、パッケージの下面は絶縁基板1の裏面側で形成される。このパッケージ外形は、例えば1.2×1.0 mm²である。

【0084】

更に図7 (B) の如く、5個の外部電極6は、例えばパッケージの一辺に沿って制御端子C_t1-2、共通入力端子IN、制御端子C_t1-1に対応して配置され、相対抗する一辺に沿って、出力端子OUT1、OUT2に対応して配置される。

【0085】

本発明では、保護素子200の接続を目的として、制御端子C_t1-1、C_t1-2に接続する制御端子パッドをそれぞれ2つ設け、共通入力端子パッドIおよび各出力端子パッドO1、O2と4つの制御端子パッドを近接して配置している。これら複数の制御端子パッドは、それぞれ制御端子C_t1-1および制御端子C_t1-2に接続させる必要があるが、共通入力端子パッドIおよび各出力端子パッドO1、O2に近接させるため、チップ上では分散して配置されている。そこで、本実施形態の如く、スイッチ回路装置のチップを、チップサイズパッケージに実装し、リード2bおよびリード2eを延在して接続させることにより、制御端子C_t1-1、C_t1-2に接続する制御端子パッドがチップ内で分散していくても、パッケージサイズの小型化が実現できるものである。

【0086】

上記の如くスイッチ回路装置の共通入力端子IN-制御端子C_t1-1間、共通入力端子IN-制御端子C_t1-2間、出力端子OUT1-制御端子C_t1-1間および出力端子OUT2-制御端子C_t1-2間に、保護素子200を接続することにより、220 pF、0Ωで測定したとき従来100V程度であったこ

これらの端子間の静電破壊電圧を700Vまで向上させることができる。

【0087】

次に、本発明の第2の実施形態を図8および図9を用いて説明する。本実施形態は、第1の実施形態のスイッチ回路装置に検査用端子を設けるものである。

【0088】

図8は、本発明のスイッチ回路装置を示す図である。図8（A）はスイッチ回路装置の図である。図8（B）は、図8（A）の四角囲い部分を集積化した半導体チップの一例である。

【0089】

第2の実施形態のスイッチ回路装置は、図8（A）の如く、図1に示すスイッチ回路装置の各FET群を構成する全てのFETのソース電極、ゲート電極、ドレイン電極を全て外部に導出したものであり、実線内がチップの回路図である。

【0090】

ここで、ユーザ側でスイッチ回路装置として使用するこれらの共通入力端子IN、制御端子Ct1-1、Ct1-2および出力端子OUT1、OUT2をスイッチ回路装置の外部端子と称する。本実施形態では、すべてのFETの電極を外部に導出し、外部端子の他に4つの検査用端子CK1-1、CK1-2、CK2-1、CK2-2を設ける。

【0091】

以下、第1のFET群F1側について説明する。FET1-1のドレイン電極（あるいはソース電極）とFET1-2のソース電極（あるいはドレイン電極）が接続し、これらの電極は共通の検査用端子CK1-1に接続して外部に導出される。また、FET1-2のドレイン電極（あるいはソース電極）とFET1-3のソース電極（あるいはドレイン電極）が接続し、これらの電極は共通の検査用端子CK1-2に接続して外部に導出される。FET1-1のソース電極（あるいはドレイン電極）は、共通入力端子INに接続して外部に導出され、FET1-3のドレイン電極（あるいはソース電極）は出力端子OUT1に接続して外部に導出され、3つのFETのゲート電極は共通で制御端子Ct1-1に接続して外部に導出される。即ち、第1のFET群F1を構成する全てのFETの全て

のソース電極、ゲート電極、ドレイン電極と接続する外部端子および検査用端子C Kが、半導体チップの外部に導出されることになる。尚、第2のF E T群F 2は、第1のF E T群F 1と同様であり、説明は省略する。

【0092】

半導体チップは、F E Tを3段に直列接続した多段スイッチ回路装置であり、本実施形態では、全ての電極を外部に導出するため、F E T 1-2およびF E T 2-2のソース電極およびドレイン電極から配線を引き出し、電極パッドC H K 1-1、C H K 1-2、C H K 2-1、C H K 2-2に接続するものである。これらの電極パッドは、検査用端子C K 1-1、C K 1-2、C K 2-1、C K 2-2に接続する。

【0093】

更に、保護素子200を共通入力端子パッドIおよび出力端子O U T 1、2のそれぞれと近接して配置するため、第1の実施形態と同様に制御端子C t 1-1、C t 1-2の夫々に2つずつ、制御端子パッドC 1-1、C 1-2およびC 2-1、C 2-2が設けられる。これら全てのパッド周辺にはN+型高濃度領域が設けられ、絶縁領域（基板）を挟んで保護素子200が接続された構造となる。尚、この他の構成要素については、第1の実施形態と同様であるので詳細な説明は省略する。

【0094】

このように、本実施形態においては、全てのF E Tの電極を外部に導出することで、各々のF E Tに対して完全な直流検査ができる。これにより高周波特性検査を省いてスイッチ回路装置の高周波特性を保証することができる。

【0095】

更に、このスイッチ回路装置において共通入力端子I N-制御端子C t 1-1間におよび出力端子O U T 1-制御端子C t 1-1間に保護素子200を接続し、共通入力端子I N-制御端子C t 1-2間におよび出力端子O U T 2-制御端子C t 1-2に保護素子200を接続するものである。

【0096】

すなわち、共通入力端子パッドIと制御端子パッドC 1-1、C 2-1を、更

に出力端子パッドO 1と制御端子パッドC 1-2、出力端子パッドO 2と制御端子パッドC 2-2とを近接して配置することによって保護素子200を接続する。これはすなわち、静電気が共通入力端子パッドー各制御端子パッド間、各出力端子パッドー各制御端子パッド間から印加され、ゲートショットキ接合のアノード、カソードが両方とも外部端子として外部に導出されたFETにおいて、対応する動作領域上のソース電極ーゲート電極間、ドレイン電極ーゲート電極間に向かう経路途中の中でも初期段階に保護素子を接続したことになる。つまり、スイッチ回路装置に外部より印加された静電エネルギーを、それがFETの動作領域上のゲートショットキ接合の両端に伝わる経路のうち、チップ内では最も初期段階で減衰させることができる。

【0097】

図9の如く、スイッチ回路装置はチップサイズパッケージに実装される。図9 (A) はチップを絶縁基板に実装した平面図であり、図9 (B) は、基板1上に設けられるリードのパターン図であり、図9 (C) は基板裏面の外部電極を示す平面図である。

【0098】

絶縁基板基板1上には、金メッキ層によるリード2、リード3が設けられ、中央部に半導体チップ7が固着され、ボンディングワイヤ4により接続される。リード2a、2b、2c、2d、2eは、外部端子である共通入力端子IN、制御端子Ct1-1、出力端子OUT1、制御端子Ct1-2、出力端子OUT2と対応して設けられる。またリード3a、3b、3c、3dは、検査用端子CK1-1、CK1-2、CK2-1、CK2-2はそれぞれ対応して基板1周辺部に配置される。

【0099】

半導体チップ7の各FETのすべての電極は上記の外部端子および検査用端子CKと対応する外部電極6と、それぞれワイヤ4、リード2、リード3、スルーホール5を介して電気的に接続されている。

【0100】

外部端子が接続する外部電極6はユーザ側で使用されるものであり、はんだ付

けの接続抵抗を十分小さくし、所定の接続強度を確保するため、最低 $0.2 \times 0.15 \text{ mm}^2$ の面積が必要である。一方検査用端子 C K が接続する外部電極 6 は、ユーザ側では使用しないので、小さくてよい。具体的には、出荷前の直流検査に使用するためだけであれば、直流検査用のプローブ 18 が立てば良いので、最低 $0.05 \times 0.05 \text{ mm}^2$ の面積があれば良い。

【0101】

直流検査は、図 9 (C) の如くパッケージに実装後、個々の FET について行う。すなわち、外部端子 10 および検査用端子 11 が接続する外部電極 6 のすべてにプローブ 18 を接触させ、バイアスを印加する外部電極 6、計測を行う外部電極 6 を適宜測定プログラムにより選択し、各 FET ごとに直流検査を行う。前述の如く従来ではプロービングできなかった FET 1-1 のドレイン電極と FET 1-2 のソース電極、FET 1-2 のドレイン電極と FET 1-3 のソース電極、FET 2-1 のドレイン電極と FET 2-2 のソース電極、FET 2-2 のドレイン電極と FET 2-3 のソース電極にプローブ 18 を立てることができる。6 個すべての FET の直流検査が可能となる。

【0102】

この直流検査によりすべての FET の ON 抵抗を測定することで、ユーザにスイッチ回路装置のインサーションロスを保証できる。また、FET のリーク電流 (I_{gss}) を測定することによりスイッチ回路装置のアイソレーションを保証できる。更に、FET の IDSS とピンチオフ電圧を測定することで、ユーザにスイッチ回路装置の出力電力を保証できる。

【0103】

更に、出力端子 OUT 1-制御端子 C_t 1-1 間および共通入力端子 IN-制御端子 C_t 1-1 間および出力端子 OUT 2-制御端子 C_t 1-2 間、共通入力端子 IN-制御端子 C_t 1-2 間に印加される静電エネルギーをそれぞれ同程度に、また最も効率良く減衰させることができるものである。

【0104】

【発明の効果】

本発明によれば、FET を多段接続したスイッチ回路装置の FET のうち、ゲ

トショットキ接合のアノードとカソードが両方とも外部に導出されているため静電破壊しやすいFETの、ゲート-ソース電極間およびゲート-ドライン電極間の静電破壊電圧を保護素子により大幅に減衰することができる。また、共通入力端子および2つの出力端子が接続する電極パッドに近接して制御端子パッドをそれぞれ配置することにより、出力端子OUT1-制御端子Ct1-1間および共通入力端子IN-制御端子Ct1-1間および出力端子OUT2-制御端子Ct1-2間、共通入力端子IN-制御端子Ct1-2間に印加される静電エネルギーをそれぞれ同程度に、また最も効率良く減衰させることができるものである。

【0105】

また、このスイッチ回路装置をチップサイズパッケージに入れることで、保護素子の接続を目的として、1つの制御端子に接続する制御端子パッドを複数分散させて配置しても、パッケージサイズを1.2×1.0mm²に小型化できる。

【0106】

更に、検査用端子を設けることにより、FETを多段接続したスイッチ回路装置の全てのFETについて直流検査をすることができ、出荷前に高周波測定による選別が不要となる。高周波特性の検査装置は直流検査装置と別の装置となるため、測定工数としては、高周波特性検査時間が付加されるだけでなく、直流検査装置から高周波特性検査装置へ被測定素子を搬送する時間も付加される。従って検査工数が大幅に増大し、高価な高周波特性検査装置の投資を必要とするため、その償却も加わり、トータルコストが大幅に増加してしまうという問題があった。しかし、本発明の実施形態によれば、高価な高周波計測器を生産ラインに準備する必要が無く、高周波特性検査のための工数も不要となる。

【図面の簡単な説明】

【図1】

本発明に依る半導体装置を説明する回路図である。

【図2】

本発明に依る半導体装置を説明する概要図である。

【図3】

本発明に依る半導体装置を説明する断面図である。

【図4】

本発明に依る半導体装置を説明する平面図である。

【図5】

本発明に依る半導体装置を説明する (A) 断面図、 (B) 等価回路図、 (C) 断面図である。

【図6】

本発明に依る半導体装置を説明する平面図である。

【図7】

本発明に依る半導体装置を説明する (A) 断面図、 (B) 平面図である。

【図8】

本発明に依る半導体装置を説明する (A) 回路図、 (B) 平面図である。

【図9】

本発明に依る半導体装置を説明する平面図である。

【図10】

従来の半導体装置を説明する等価回路図である。

【図11】

従来の半導体装置を説明する平面図である。

【図12】

従来の半導体装置を説明する平面図である。

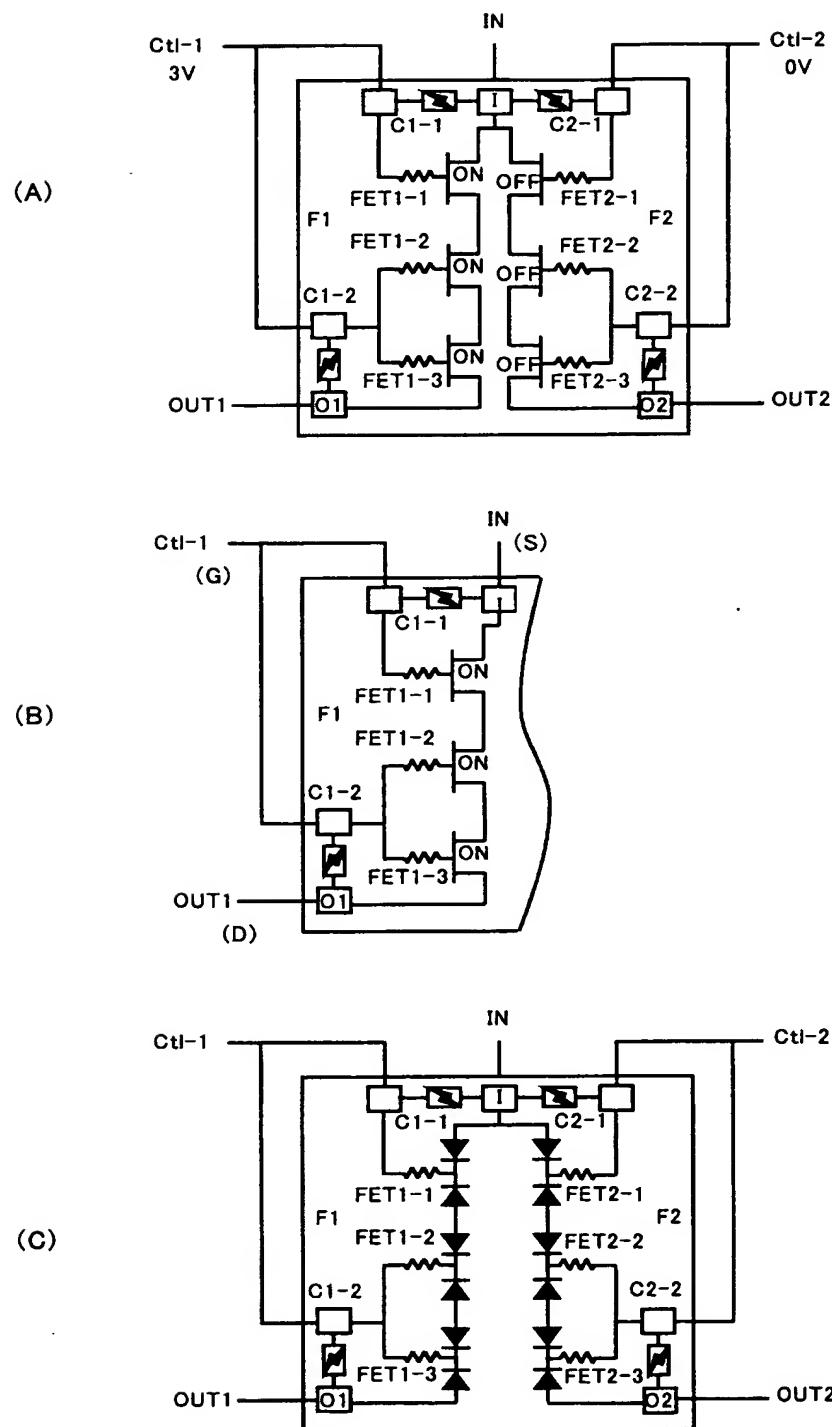
【符号の説明】

- 1 基板
- 2 リード
- 3 リード
- 4 ボンディングワイヤ
- 5 スルーホール
- 6 外部電極
- 7 半導体チップ
- 15 樹脂層

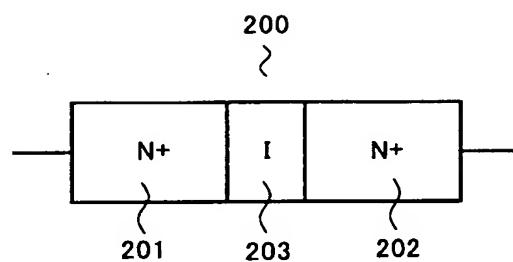
1 8 プローブ
6 2 リード
6 4 ボンディングワイヤ
6 7 半導体チップ
7 5 樹脂層
1 0 1 基板
1 0 2 動作層
1 0 3 ソース領域
1 0 4 ドレイン領域
1 0 5 ゲート電極
1 0 6 ソース電極
1 0 7 ドレイン電極
1 0 9 ソース電極
1 1 0 ドレイン電極
1 1 8 動作領域
1 1 5 ダイオード
1 5 0 周辺N+型領域
1 2 0 ゲート金属層
1 3 0 パッド金属層
2 0 0 保護素子
2 0 1 第1N+型領域
2 0 2 第2N+型領域
2 0 3 絶縁領域
2 0 4 金属電極
2 0 5 絶縁膜
C K 検査用端子

【書類名】 図面

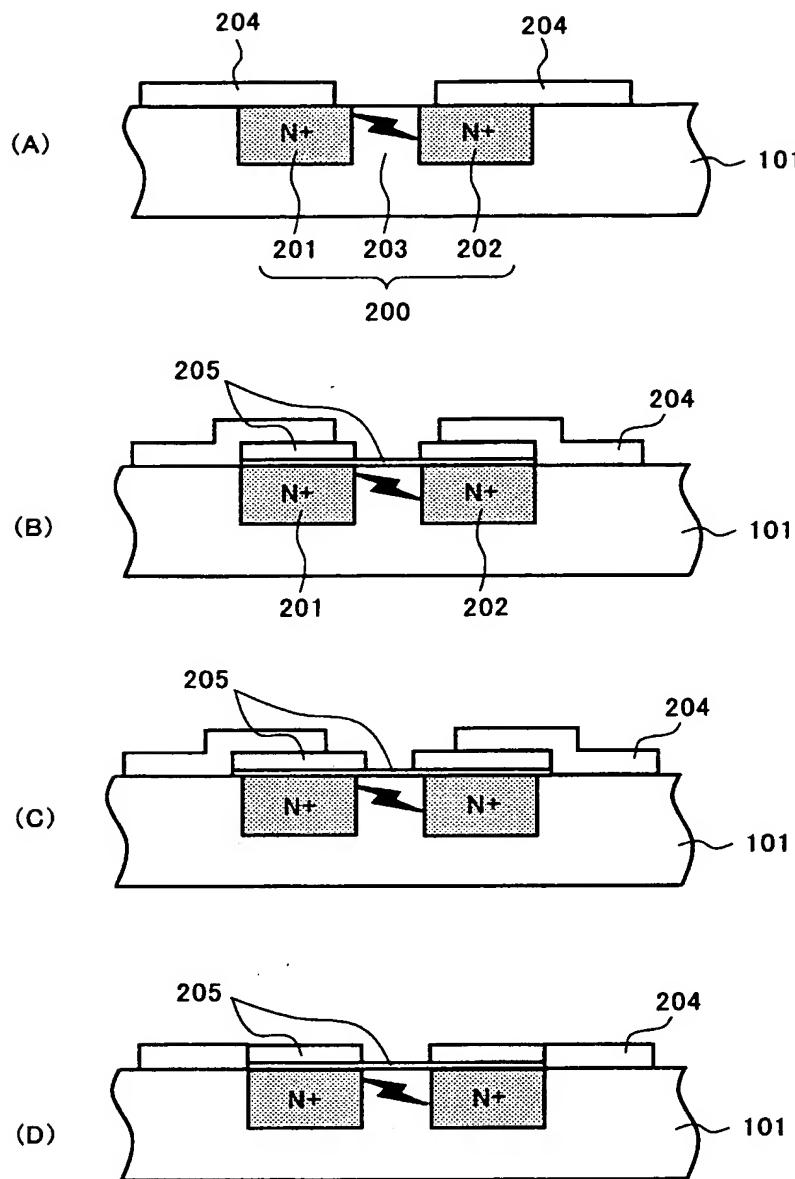
【図1】



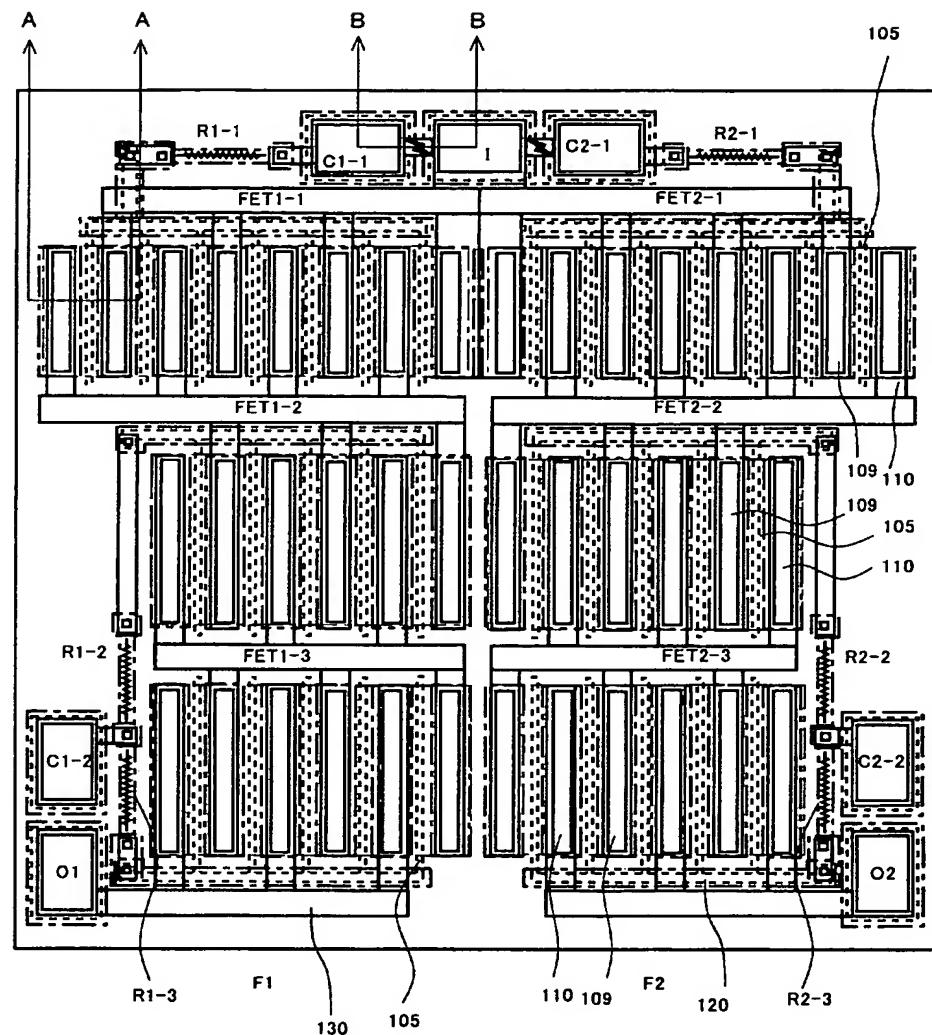
【図2】



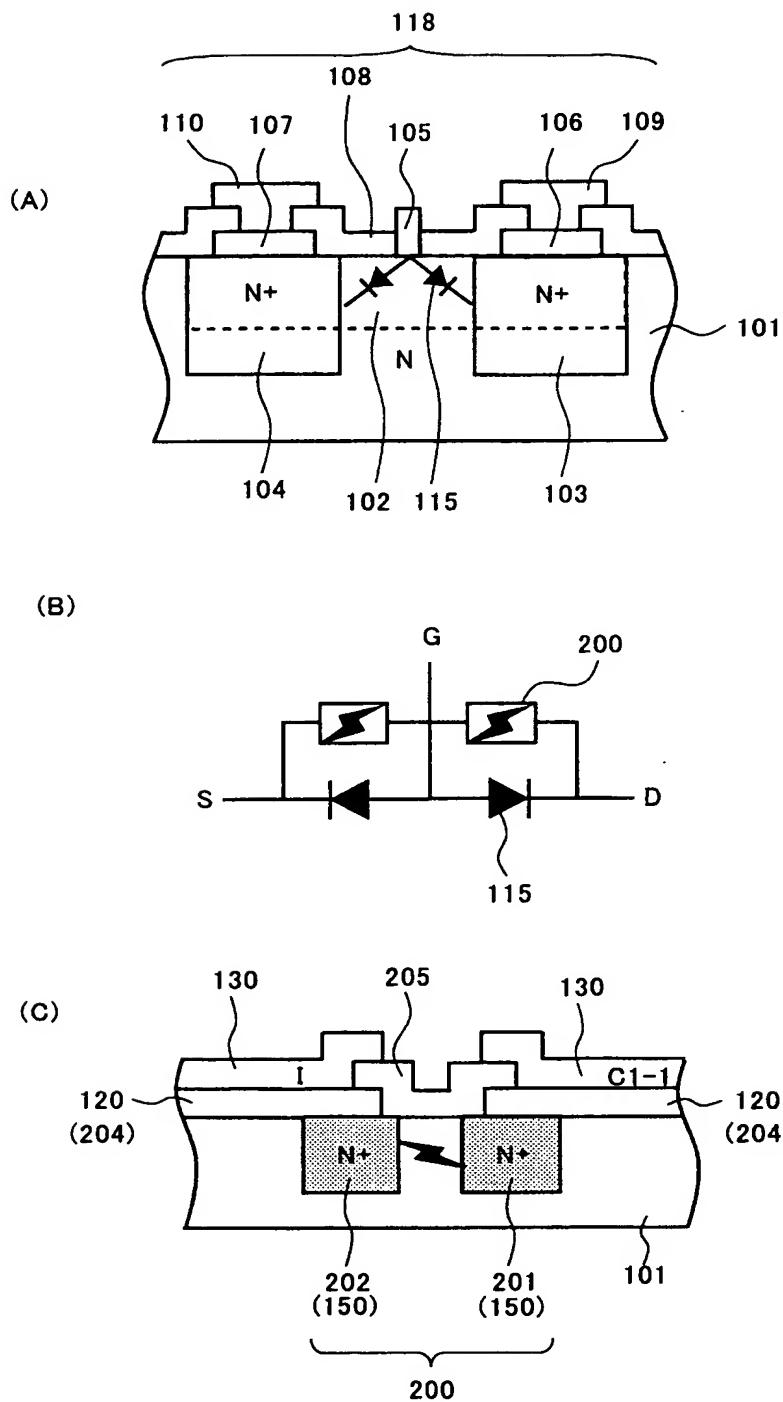
【図 3】



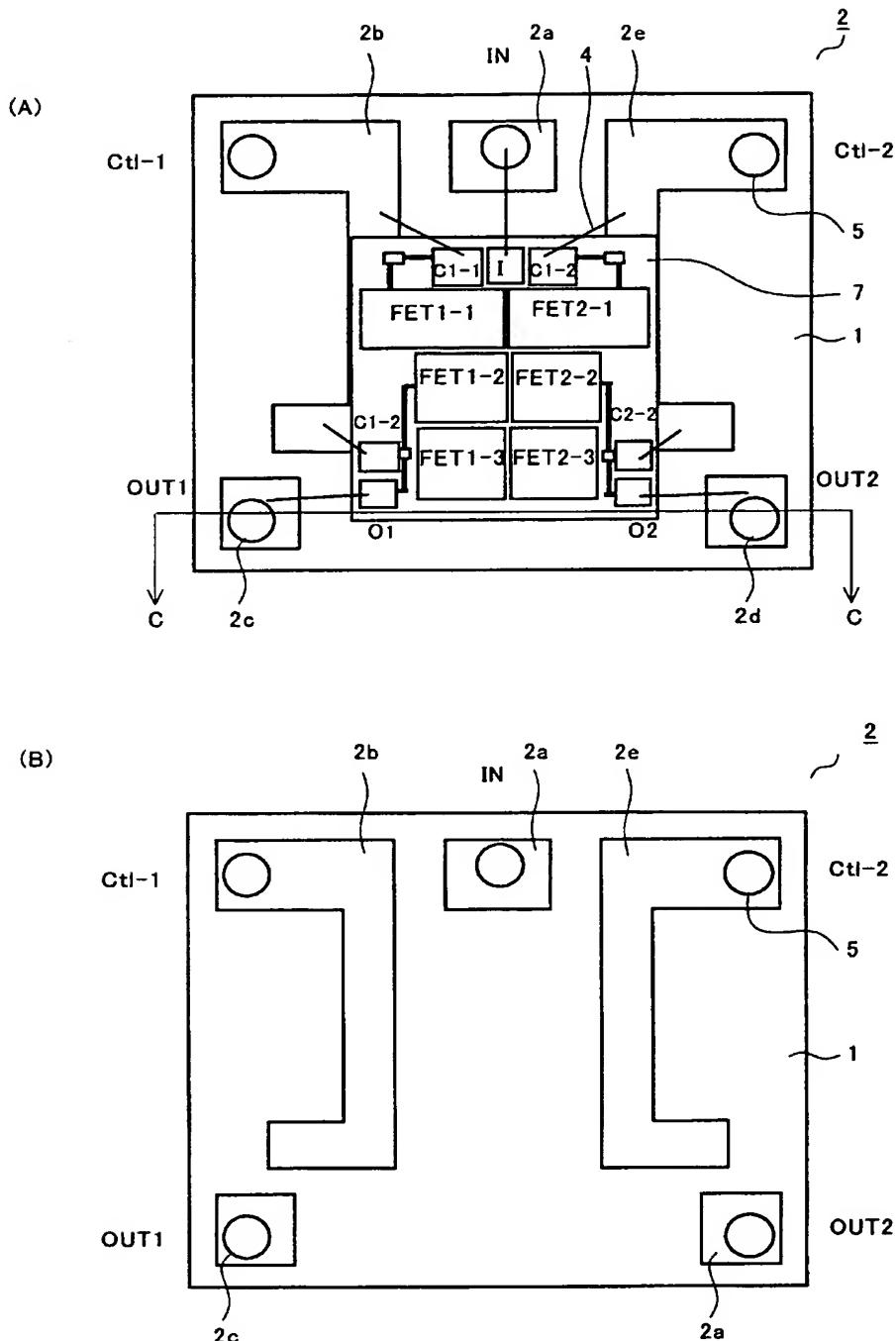
【図4】



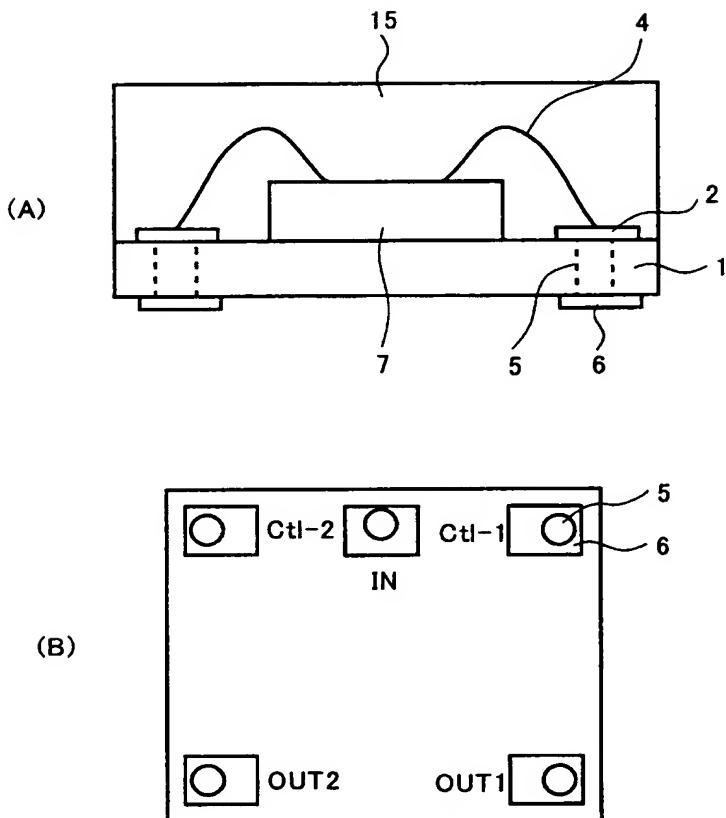
【図5】



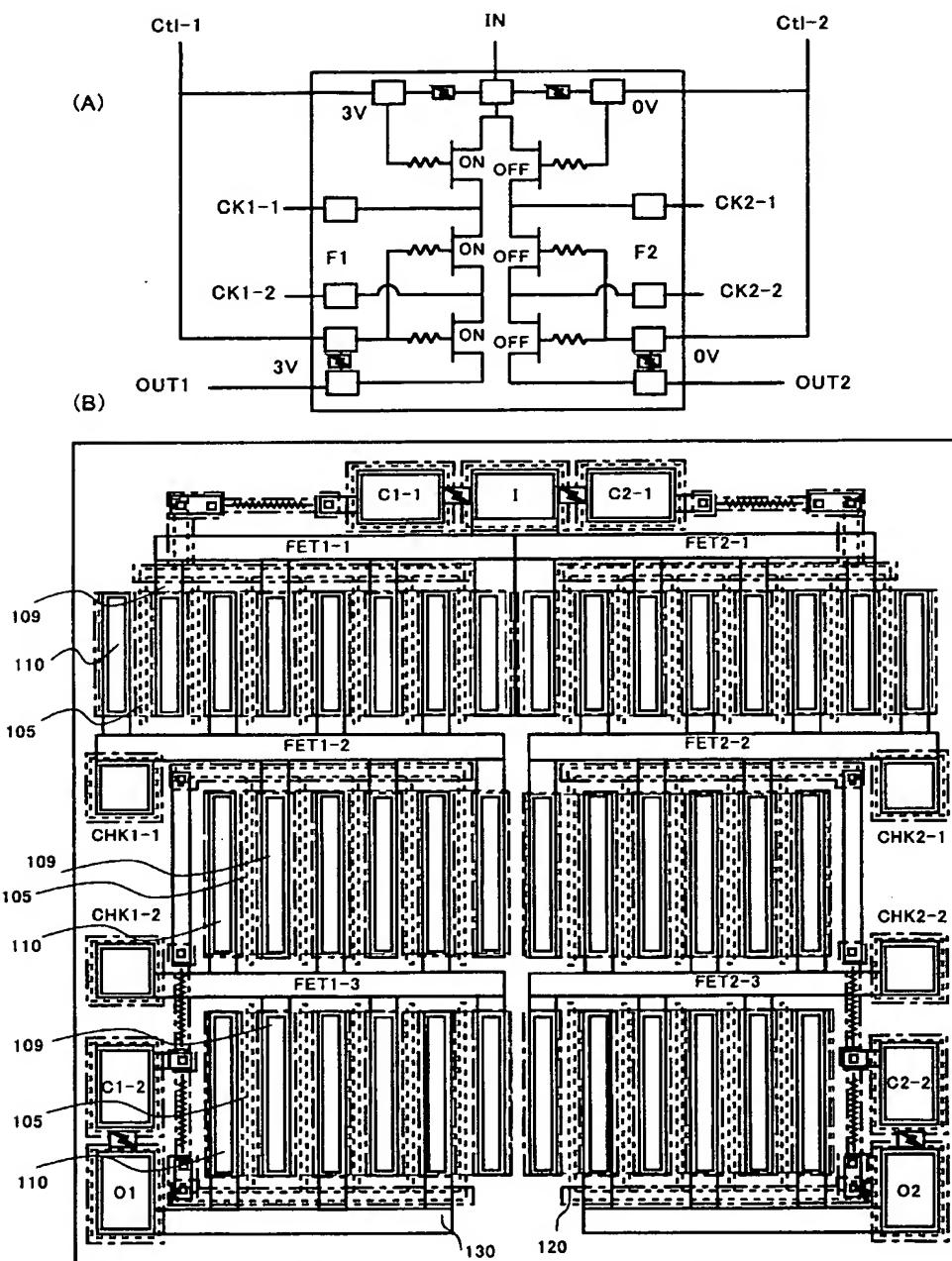
【図 6】



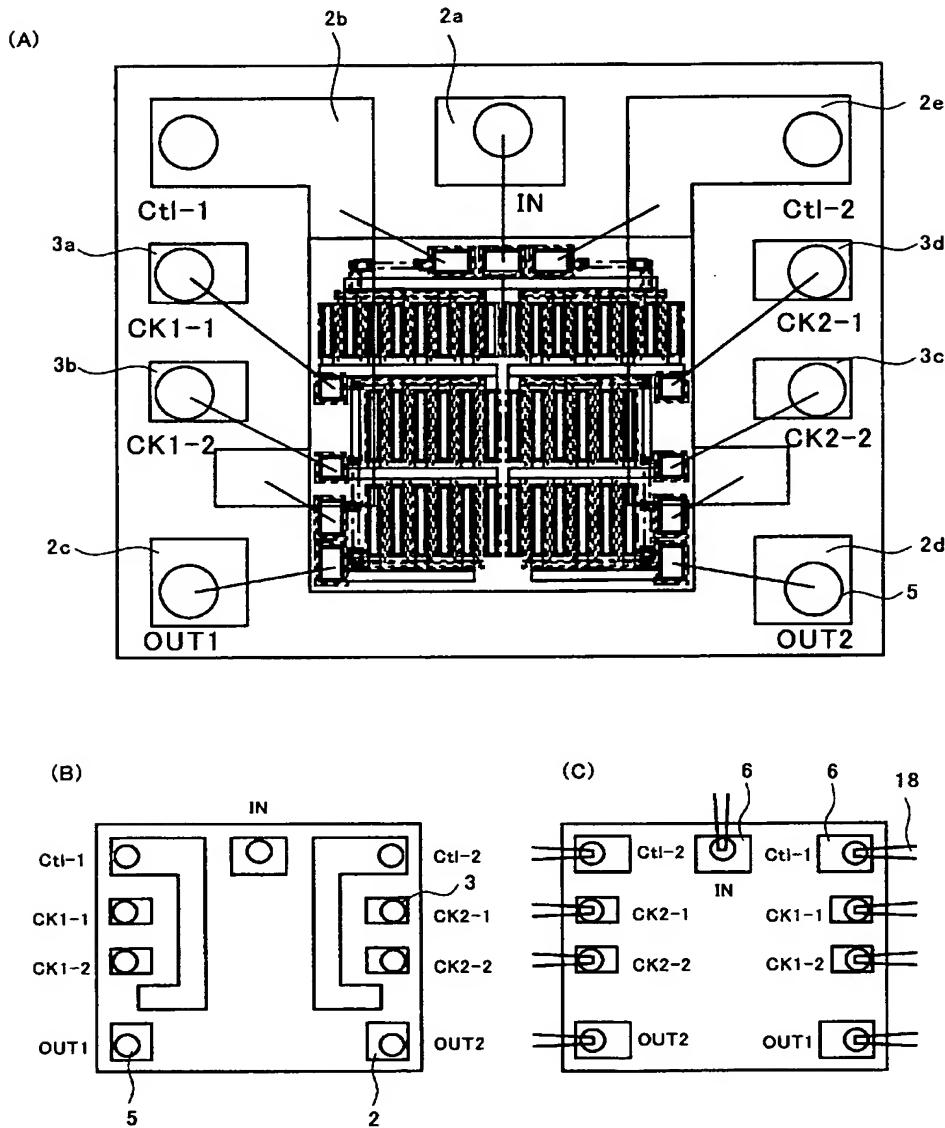
【図 7】



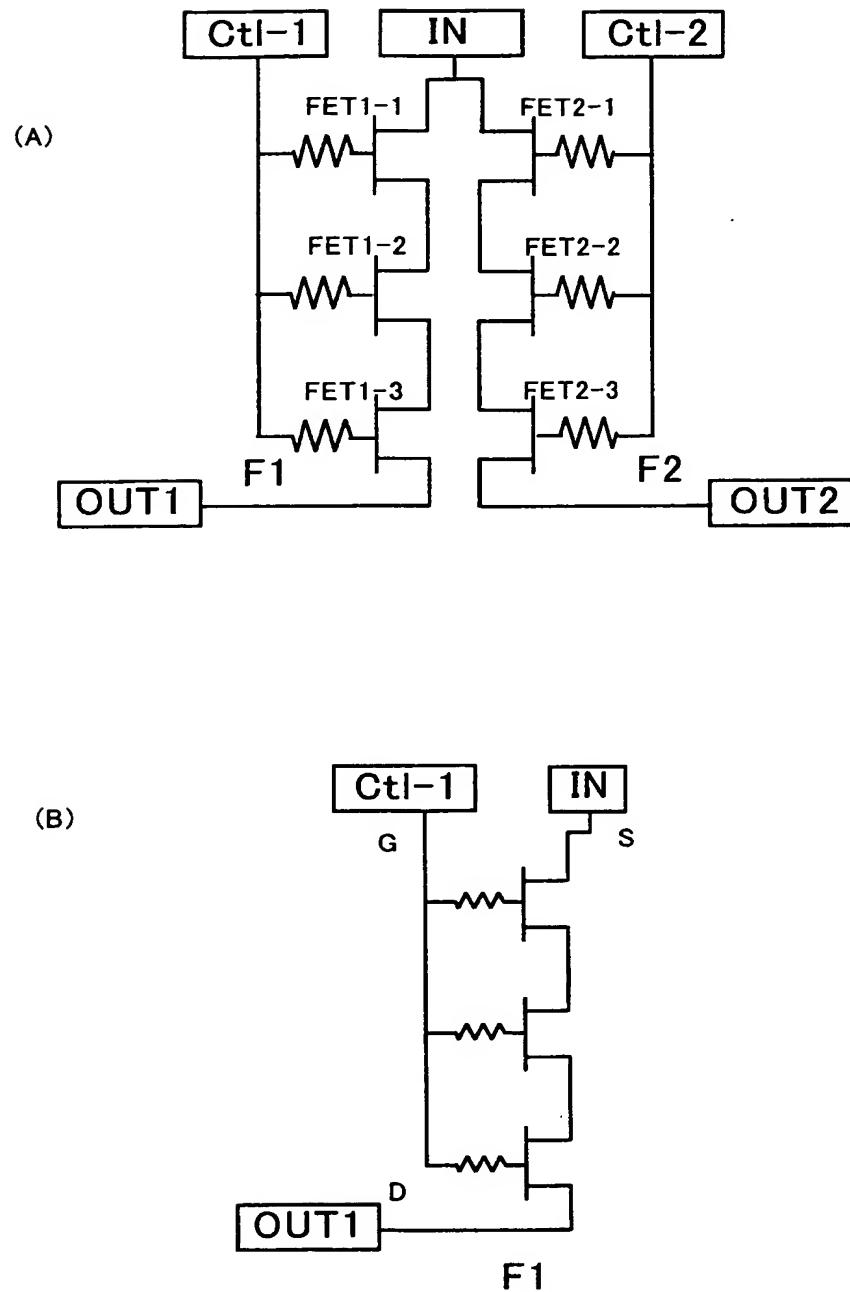
【図8】



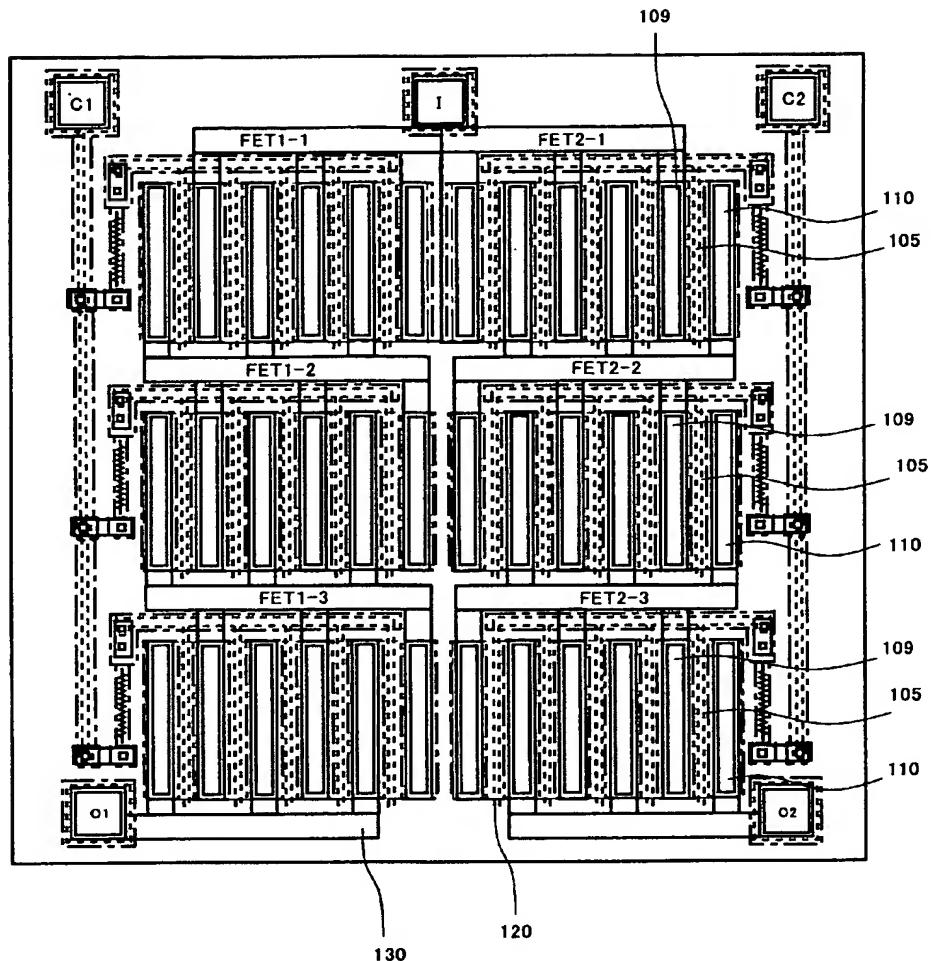
【図 9】



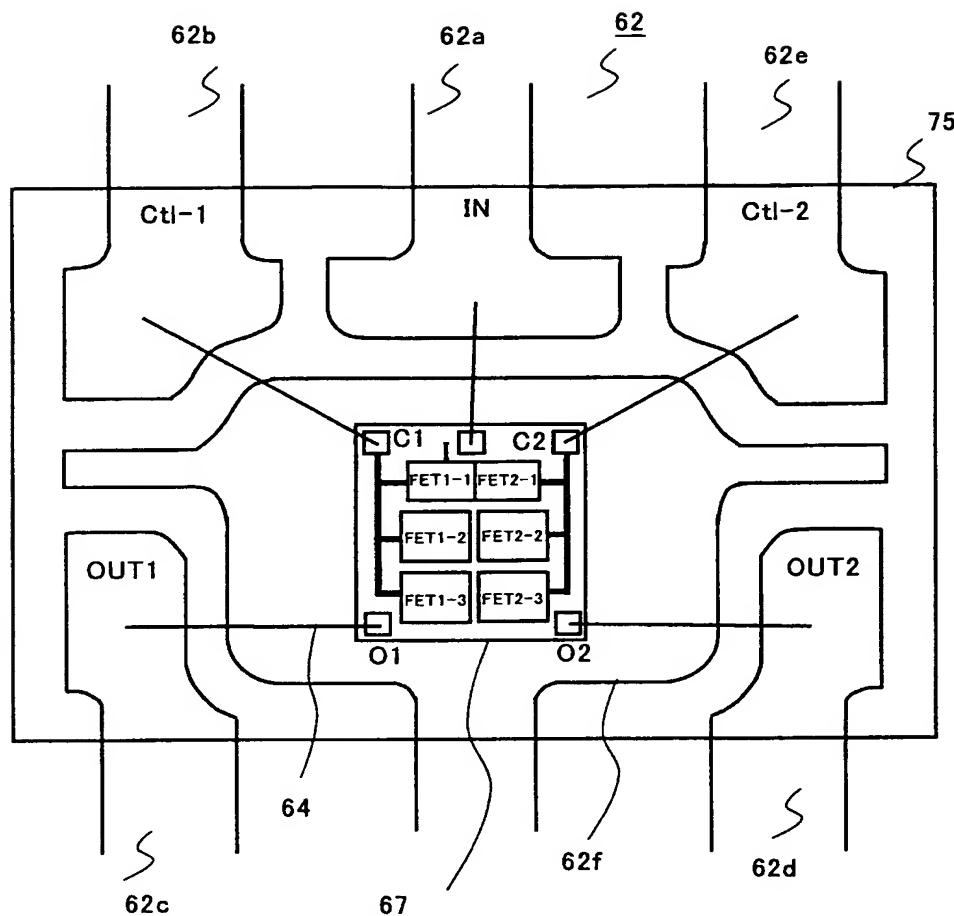
【図10】



【図 11】



【図12】



【書類名】 要約書

【要約】

【課題】 静電破壊電圧向上のための対策を施していないため、FETのゲートショットキ接合の両端が外部に導出される共通入力端子IN-制御端子Ct1-1間、共通入力端子IN-制御端子Ct1-2間および制御端子Ct1-1-出力端子OUT1間、制御端子Ct1-2-出力端子OUT2間が静電破壊に対して弱いという問題がある。

【解決手段】 1つの制御端子に接続する電極パッドをチップ上で2つ設け、共通入力端子パッドIN、出力端子パッドO1、O2と近接して配置することで保護素子を接続する。出力端子OUT1-制御端子Ct1-1間、共通入力端子IN-制御端子Ct1-1間、出力端子OUT2-制御端子Ct1-2間、共通入力端子IN-制御端子Ct1-2間に印加される静電エネルギーをそれぞれ同程度に、また最も効率良く減衰させることができるものである。

【選択図】 図1

特願2003-042419

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社